

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-141439

(43)Date of publication of application : 17.05.2002

(51)Int.Cl.

H01L 23/12

H01L 21/60

(21)Application number : 2000-335492

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.11.2000

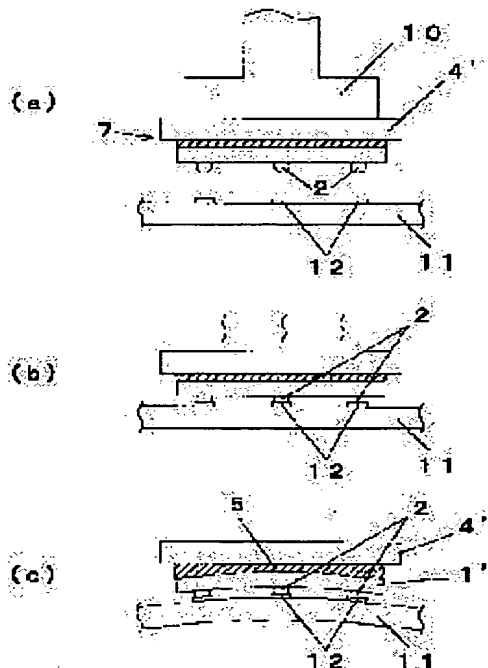
(72)Inventor : SAKAI TADAHICO
OSONO MITSURU
MAEDA KEN

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method thereof which is easy to handle a thinned semiconductor element.

SOLUTION: The semiconductor device 7 has a bumper 4' being a reinforcing member bonded with adhesives 5 to the backside of a semiconductor element 1' to its electrode forming surface. The element 1' is bonded to the bumper 4' deformably with the low-elastic modulus adhesives 5 easily expandable/ shrinkable after bonding. This facilitates handling the semiconductor device 7 and allows the element 1' to be deformed according to the deformation of a substrate 11 after mounting, thereby effectively relaxing thermal stresses in a heat cycle.



LEGAL STATUS

[Date of request for examination]

13.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-141439

(P2002-141439A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト [*] (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 S 5 F 0 4 4
		21/60	3 1 1 Q
21/60	3 1 1	23/12	L

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-335492 (P2000-335492)

(22) 出願日 平成12年11月2日 (2000.11.2)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 境 忠彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 大園 満

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

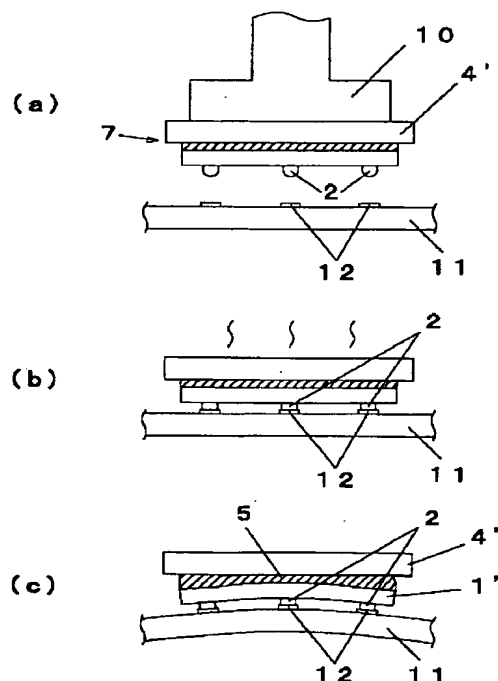
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 薄化された半導体素子の取り扱いが簡単な半導体装置および半導体装置の製造方法を提供することを目的とする。

【解決手段】 半導体素子1'の電極形成面の裏面に補強部材としてのバンパ部材4'を接着材5により接合して半導体装置7を構成する。半導体素子1'は接合後の状態において容易に伸縮する低弾性係数の接着剤5によって、バンパ部材4'に対して変形が許容される状態で接合される。これにより、半導体装置7のハンドリングを容易にするとともに、実装後の基板11の変形に半導体素子1'を追従して変形させることができ、ヒートサイクルにおける熱応力を有効に緩和することができる。



【特許請求の範囲】

【請求項1】外部接続用の電極が形成された電極形成面を有する半導体素子と、前記電極形成面の裏面に低弾性係数の樹脂接着材を介して接合された補強部材とを備えたことを特徴とする半導体装置。

【請求項2】前記補強部材の曲げ剛性は、半導体素子の曲げ剛性よりも大きいことを特徴とする請求項1記載の半導体装置。

【請求項3】前記樹脂接着材は、半導体素子の変形を許容する状態でこの半導体素子を補強部材に接合していることを特徴とする請求項1記載の半導体装置。

【請求項4】半導体素子の外部接続用の電極が形成された電極形成面の裏面に低弾性係数の樹脂接着材を介して補強部材を接合して成る半導体装置を製造する半導体装置の製造方法であって、複数の半導体素子が形成された半導体ウェハの電極形成面の裏面を削る薄化工程と、薄化工程後の前記半導体素子の裏面に低弾性係数の樹脂接着材を介して補強部材を接合する接合工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】前記接合工程において、半導体ウェハ状態の複数の半導体素子を一括して補強部材に接合することを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の電極形成面の裏面に接着材により補強部材を接合して成る半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】電子機器の基板などに実装される半導体装置は、ウェハ状態で回路パターン形成が行われた半導体素子にリードフレームのピンや金属バンプなどを接続するとともに樹脂などで封止するパッケージング工程を経て製造されている。最近の電子機器の小型化に伴って半導体装置の小型化も進み、中でも半導体素子を薄くする取り組みが活発に行われている。

【0003】薄化された半導体素子は外力に対する強度が弱くハンドリング時のダメージを受けやすいことから、従来より薄化された半導体素子を用いた半導体装置は、半導体素子を補強のための樹脂層で封止する構造が一般的である。

【0004】

【発明が解決しようとする課題】しかしながら、薄い半導体素子の表面に樹脂層を形成する工程においては、樹脂層形成時の硬化収縮による半導体素子の反りや割れなどの不具合が発生しやすいものであった。この問題は半導体素子が薄化するほど顕著となり、100 μ m以下の極薄の半導体素子では樹脂封止することすら困難な状況となる。

【0005】そこで本発明は、薄化された半導体素子の

取り扱いが簡単な半導体装置および半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】請求項1記載の半導体装置は、外部接続用の電極が形成された電極形成面を有する半導体素子と、前記電極形成面の裏面に低弾性係数の樹脂接着材を介して接合された補強部材とを備えた。

【0007】請求項2記載の半導体装置は、請求項1記載の半導体装置であって、前記補強部材の曲げ剛性は、半導体素子の曲げ剛性よりも大きい。

【0008】請求項3記載の半導体装置は、請求項1記載の半導体装置であって、前記樹脂接着材は、半導体素子の変形を許容する状態でこの半導体素子を補強部材に接合している。

【0009】請求項4記載の半導体装置の製造方法は、半導体素子の外部接続用の電極が形成された電極形成面の裏面に低弾性係数の樹脂接着材を介して補強部材を接合して成る半導体装置を製造する半導体装置の製造方法であって、複数の半導体素子が形成された半導体ウェハの電極形成面の裏面を削る薄化工程と、薄化工程後の前記半導体素子の裏面に低弾性係数の樹脂接着材を介して補強部材を接合する接合工程とを含む。

【0010】請求項5記載の半導体装置の製造方法は、請求項4記載の半導体装置の製造方法であって、前記接合工程において、半導体ウェハ状態の複数の半導体素子を一括して補強部材に接合する。

【0011】本発明によれば、半導体装置を半導体素子の電極形成面の裏面に低弾性係数の樹脂接着材を介して補強部材を接合した構成とすることにより、薄化された半導体素子の取り扱いが容易で実装後の信頼性が高い半導体装置を実現することができる。

【0012】

【発明の実施の形態】（実施の形態1）図1、図2は本発明の実施の形態1の半導体装置の製造方法の工程説明図、図3は本発明の実施の形態1の半導体装置の斜視図、図4は本発明の実施の形態1の半導体装置の実装方法の説明図である。なお、図1、図2は半導体装置の製造方法を工程順に示している。

【0013】図1(a)において、1は複数の半導体素子が形成された半導体ウェハである。半導体ウェハ1の上面には、外部接続用の電極であるバンプ2が形成されている。図1(b)に示すように、半導体ウェハ1の上面のバンプ形成面（電極形成面）にはシート3が貼着され、シート3によって補強された状態で電極形成面の裏面の薄化加工が行われる。薄化加工手段としては、砥石を用いた研磨装置や、ドライエッチング装置によるエッチング、さらには薬液の化学反応を利用してエッチングを行うものがある。これにより、半導体ウェハ1は約50 μ mの厚さまで薄化される。

【0014】次に、薄化された半導体ウェハ1の下面へ

のバンパ板4の貼着が行われる。図1(c)に示すように、樹脂やセラミックあるいは金属などの材質を板状に形成したバンパ板4の上面には接着材5が塗布される。ここで、接着材5は低弾性係数の樹脂接着材であり、エラストマーなど接合状態における弾性係数が小さく、小さな外力で容易に伸縮する材質が用いられる。

【0015】次にこの接着材5の塗布面に対して、薄化された半導体ウェハ1を貼着する。このバンパ板4は、各半導体素子毎に切り分けられて半導体装置を形成した状態で、半導体装置のハンドリング用の保持部として機能すると共に、半導体素子を外力や衝撃から保護する補強部材としての役割をも有するものである。このためバンパ板4は、半導体素子の曲げ剛性よりも大きな曲げ剛性を有する十分な厚さとなっている。この後、図1

(d)に示すように、半導体ウェハ1貼着後のバンパ板4の下面には、ダイシング工程における保持用のシート6が貼着され、シート3が電極形成面から剥離される。

【0016】次いで、シート6によって保持されたバンパ板4および半導体ウェハ1はダイシング工程に送られる。ここでは、図2(a)に示すようにバンパ板4と半導体ウェハ1とを異なるダイシング幅で切り分ける2段ダイシングが行われる。すなわち半導体ウェハ1はダイシング幅b1で切り分けられて個片の半導体素子1'に分割され、バンパ板4はb1よりも狭いダイシング幅b2で切り分けられて個片のバンパ部材4'となる。

【0017】そして、接着材5によって半導体素子1'と接着されたバンパ部材4'をシート6から剥離することにより、図2(b)に示すように個片の半導体装置7が完成する。この半導体装置7は、外部接続用の電極であるパンプ2が形成された半導体素子1'と、この半導体素子1'の電極形成面の裏面に接着材5により接合された補強部材としてのバンパ部材4'とを備えた構成となっており、バンパ部材4'のサイズB2は半導体素子1'のサイズB1よりも大きく、その外周端は、半導体素子1'の外周端よりも外側に突出している。バンパ部材4'は半導体素子1'と接着材5によって接合された構造となっている。接着材5は低弾性係数の樹脂接着材であるので、半導体素子1'の変形を許容する状態で、この半導体素子1'をバンパ部材4'に接合している。

【0018】図3に示すように、バンパ部材4'の上面には、従来の樹脂封止型の電子部品の上面と同様に、識別情報としての部品コード8が印字されており、コーナ部には実装時の方向を特定する極性マーク9が形成されている。すなわち、バンパ部材4'の半導体素子1'との接合面の裏面は、識別情報の印加面となっている。この後、個片の半導体装置7を上下反転してバンパ部材4'を上面側にし、電子部品供給用のテープに収容するテーピング処理を行う。これにより、半導体装置7は、電子部品実装装置による実装が可能な状態となる。

【0019】本発明者らは、半導体素子1'の代わり

に、厚さ50μmのシリコンの板を用いて半導体装置のダミーを製作し、高さ1mの所からの落下試験を行った。その結果、シリコンの板には割れ等の損傷は全く発生しなかった。これにより、本発明の半導体装置は、通常の電子部品と同等に取り扱っても全く問題がないことが確認された。さらに、半導体素子1'に接着材5を介してバンパ部材4'を取り付けただけの簡単な構造なので、従来の樹脂封止では取り扱いが困難な極薄の半導体素子を使用することができる。

10 【0020】この半導体装置7の実装について図4を参照して説明する。図4(a)に示すように、半導体装置7はバンパ部材4'の上面を実装ヘッド10によって吸着して保持され、実装ヘッド10を移動させることにより、基板11の上方に位置する。そして半導体装置7のパンプ2を基板11の電極12に位置合わせした状態で、実装ヘッド10を下降させて半導体素子1'のパンプ2を基板11の電極12に上に着地させる。

【0021】その後基板11を加熱することにより、パンプ2を電極12に半田接合する。すなわち、半導体装置7を基板11へ搭載する際のハンドリングにおいて、実装ヘッド10によって、保持部であるバンパ部材4'を保持する。なおパンプ2の電極12との接合に、導電性樹脂接着材による接合方法を用いてもよい。

【0022】この半導体装置7を基板11に実装して成る実装構造は、半導体装置7の電極であるパンプ2をワークである基板11の電極12に接合することにより半導体装置7が基板11に固定される形態となっている。図4(c)に示すように、実装後に基板11に何らかの外力により、撓み変形が発生した場合には、半導体素子1'は薄くて撓みやすくしかも接着材5は低弾性係数の変形しやすい材質を用いていることから、基板11の撓み変形に対して半導体素子1'と接着材5の接着層のみが追従して変形する。

【0023】さらに本発明の半導体装置において100μm以下の極薄の半導体素子を用いることにより、半導体素子1'と基板11との熱膨張率の差に起因してパンプ2に発生する応力を小さくできる。従来のパンプ付電子部品(半導体装置)では、厚い半導体素子を使用していたので、パンプ2に発生する応力が過大となり断線する可能性があった。このため、パンプ付電子部品と基板との間にアンダーフィル樹脂等の補強を必要としていた。半導体素子1'を極薄とすることにより、実装後にアンダーフィル樹脂を充填するなどの補強処理を必要とすることなく接合部の応力が緩和され、単に半導体素子1'とバンパ部材4'とを接着材5により接合するという簡易な形態のパッケージ構造で、実装後の信頼性の確保が実現される。

【0024】(実施の形態2)図5、図6は本発明の実施の形態2の半導体装置の製造方法の工程説明図である。なお、図5、図6は半導体装置の製造方法を工程順

に示している。

【0025】図5(a)において、1は実施の形態1に示す半導体ウェハと同様に、複数の半導体素子が形成された半導体ウェハであり、上面には外部接続用のパンプ2が形成されている。半導体ウェハ1の下面にはシート6が貼着され、図5(b)に示すようにシート6で保持された状態で、半導体ウェハ1のダイシングが行われ、各半導体素子1'の境界にはダイシング溝1aが形成される。次いでこの状態で各半導体素子1'のパンプ形成面には、薄化工程での補強用のシート3が貼着される。そしてシート3によって補強された状態で、各半導体素子1'のパンプ形成面の裏面の薄化が一括して行われる。これにより、半導体素子1'は約50 μ mの厚さまで薄化されるとともに、ダイシング溝1aによって個別に分離される。

【0026】次に、図5(d)に示すように半導体素子1'とバンパ板4との貼着が一括して行われる。すなわち、実施の形態1に示すものと同様のバンパ板4の上面に接着材5が塗布される。ここで、接着材5の材質は実施の形態1に示すものと同様である。そしてこの接着材5の塗布面に対して薄化された半導体素子1'を貼着する。

【0027】次に図6(a)に示すように、半導体素子貼着後のバンパ板4の下面には、ダイシング工程における保持用のシート6が貼着され、シート6によって保持されたバンパ板4に対してダイシングが行われる。ここでは半導体素子1'のパンプ形成面のシート3を除去した後、図6(b)に示すようにバンパ板4を半導体素子1'のダイシング幅b1よりも狭いダイシング幅b2で切り分け、個片のバンパ部材4'とする。そして、接着材5によって半導体素子1'と接着されたバンパ部材4'をシート6から1個づつ剥離することにより、図6(c)に示すように実施の形態1に示すものと同様の個片の半導体装置7が完成する。この半導体装置7は、実施の形態1と同様にテーピング処理が行われる。

【0028】(実施の形態3)図7、図8は本発明の実施の形態3の半導体装置の製造方法の工程説明図、図9は本発明の実施の形態3の半導体装置の実装方法の説明図である。なお、図7、図8は半導体装置の製造方法を工程順に示している。

【0029】図7(a)において、1は実施の形態1、2と同様の半導体ウェハであり、上面に外部接続用のパンプ2が形成されている。次に図7(b)に示すように、半導体ウェハ1の上面の電極形成面にはシート3が貼着され、シート3によって補強された状態で半導体素子下面の薄化加工が行われる。これにより、半導体ウェハ1は約50 μ mの厚さまで薄化される。

【0030】この後、半導体ウェハ1の下面には、ダイシング工程における保持用のシート6が貼着され、薄化時の補強用のシート3が除去される。次いで、シート6

によって保持された半導体ウェハ1はダイシング工程に送られ、ここで図7(c)に示すようにダイシング溝1aが加工され、半導体ウェハ1は各半導体素子1'毎に切り分けられる。そして切り分けられた半導体素子1'は、シート6から剥離されて図8(a)に示すように個片毎に取り出される。

【0031】次に、半導体素子1'のバンパケース14への貼着が行われる。本実施の形態3で用いられる補強部材は、図8(b)に示すように、周囲に突部14aが設けられ半導体素子1'が接合される部分に凹部14bが形成された形状のバンパケース14である。凹部14b内には半導体素子1'の範囲に対応した部分に、実施の形態に示すものと同様の材質の接着材5が塗布される。そして図8(c)に示すように、凹部14b内に半導体素子1'が搭載され、接着材5によってバンパケース14と半導体素子1'が接合される。これにより、半導体装置15が完成する。ここで、半導体素子1'との接着状態において、バンパケース14の突部14aの端部は、半導体素子1'のパンプ2の下端から突出しないように寸法設定がなされている。

【0032】このバンパケース14は、実施の形態1、2と同様に、半導体装置15のハンドリング用の保持部として機能すると共に、半導体素子1'を外力や衝撃から保護する補強部材としての役割をも有するものである。本実施の形態3では、半導体素子1'の側方をも保護する形状となっていることから、半導体装置15の信頼性が更に向上している。この後、図8(d)に示すように半導体装置15は上下反転され、同様にテーピング処理される。これにより、電子部品実装装置による半導体装置15の実装が可能な状態となる。

【0033】この半導体装置15の実装について図9を参照して説明する。図9(a)に示すように、半導体装置15はバンパケース14の上面を実装ヘッド10によって吸着して保持され、実装ヘッド10を移動させることにより、基板11の上方に位置する。本実施の形態3では、基板11上面の電極12の周囲(バンパケース14の突部14aに対応する位置)に予め接着材16が塗布されている。そして半導体装置15のパンプ2を基板11の電極12に位置合わせした状態で、実装ヘッド10を下降させて半導体素子1'のパンプ2を基板11の電極12に上に着地させる。

【0034】これにより、バンパケース14の突部14aが基板11上面の接着材16に接触する。この後基板11を加熱することにより、図9(b)に示すようにパンプ2を電極12に半田接合するとともに、バンパケース14が接着材16により基板11に固着される。すなわち、実施の形態3における実装動作も、半導体装置15のハンドリングにおいて保持部であるバンパケース14を実装ヘッド10によって保持する形態となっている。

【0035】この半導体装置15を基板11に実装して成る実装構造は、半導体装置15の電極であるパンプ2をワークである基板11の電極12に接合するとともに、バンパケース14の周囲が基板11に接合されることにより、半導体装置15が基板11に固定される形態となっている。この実装構造においても、半導体素子1'の変形が許容される構造となっており、実施の形態1、2に示す半導体素子1'と同様の効果を得る。

【0036】さらに、図9(b)に示すように、本実施の形態3においては、実装後に半導体装置15の半導体素子1'の部分は、上面及び周囲を完全に密閉された構造となるため、基板11の電極12との接合部への水分や異物の混入が防止され、実装後の信頼性を向上させることができる。

【0037】

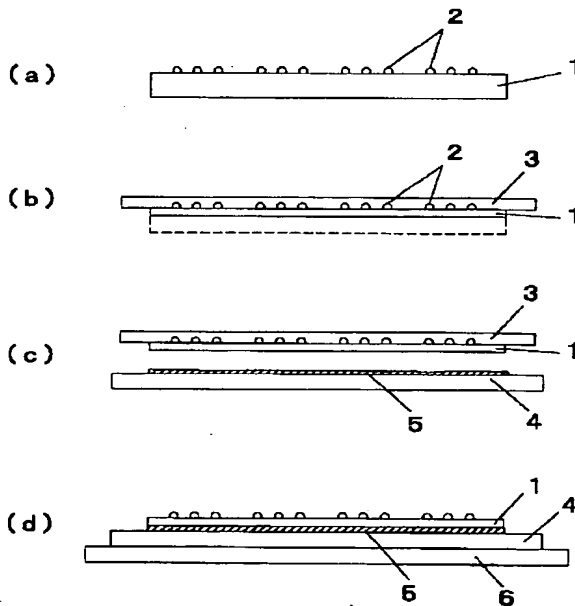
【発明の効果】本発明によれば、半導体装置を半導体素子の電極形成面の裏面に低弾性係数の樹脂接着材を介して補強部材を接合した構成とすることにより、薄化された半導体素子の取り扱いが容易で実装後の信頼性が高い半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置の製造方法の工程説明図

【図2】本発明の実施の形態1の半導体装置の製造方法の工程説明図

【図1】



- | | |
|----------|--------|
| 1 半導体ウェハ | 4 バンパ板 |
| 2 パンプ | 5 接着材 |
| 3 シート | 6 シート |

【図3】本発明の実施の形態1の半導体装置の斜視図

【図4】本発明の実施の形態1の半導体装置の実装方法の説明図

【図5】本発明の実施の形態2の半導体装置の製造方法の工程説明図

【図6】本発明の実施の形態2の半導体装置の製造方法の工程説明図

【図7】本発明の実施の形態3の半導体装置の製造方法の工程説明図

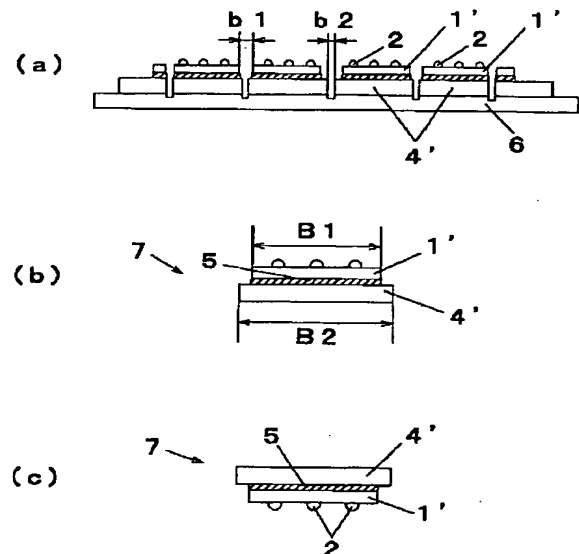
10 【図8】本発明の実施の形態3の半導体装置の製造方法の工程説明図

【図9】本発明の実施の形態3の半導体装置の実装方法の説明図

【符号の説明】

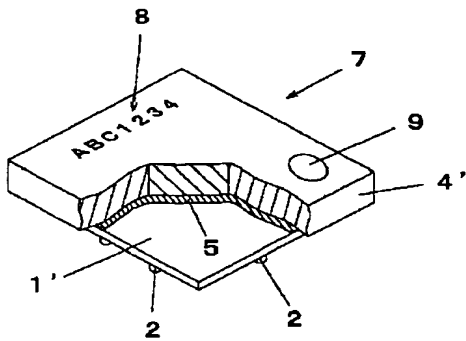
- 1 半導体ウェハ
- 1' 半導体素子
- 2 パンプ
- 3 シート
- 4 バンパ板
- 4' バンパ部材
- 5 接着材
- 6 シート
- 7、15 半導体装置
- 14 バンパケース

【図2】

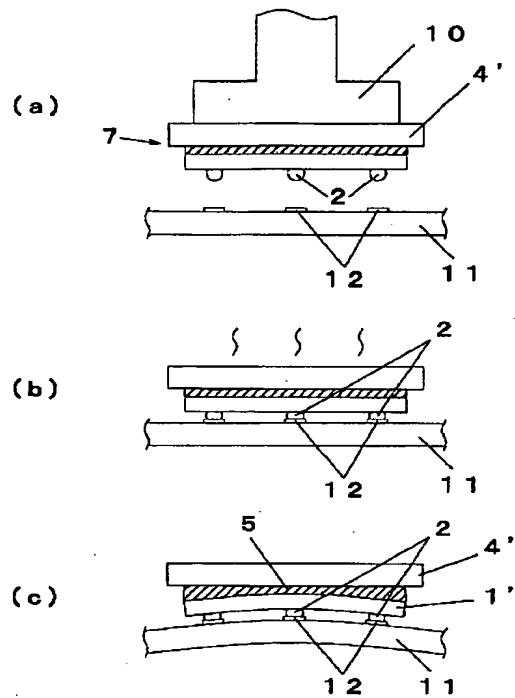


- 1' 半導体素子
- 4' バンパ部材
- 7 半導体装置

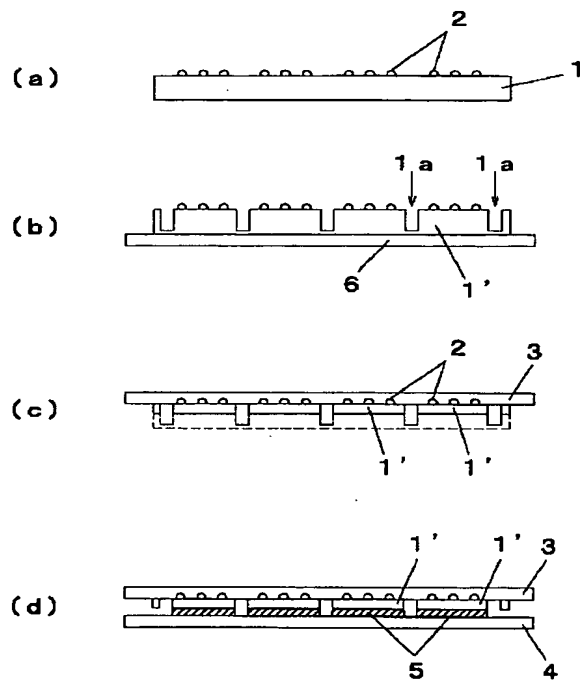
【図3】



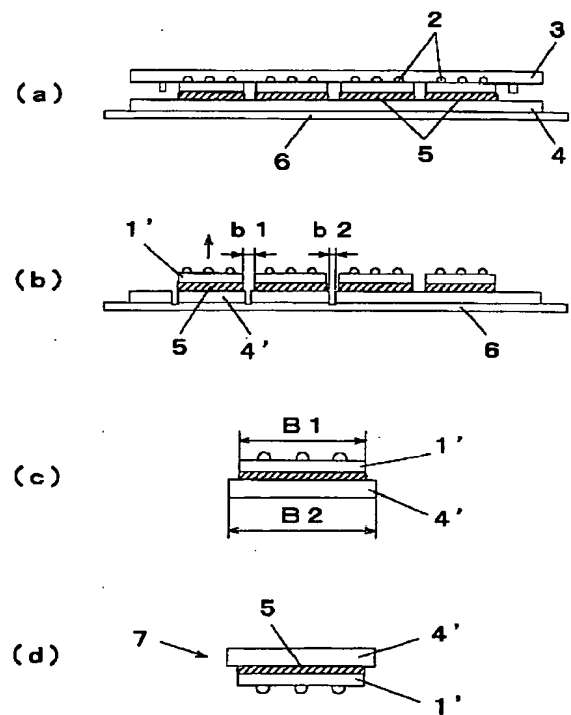
【図4】



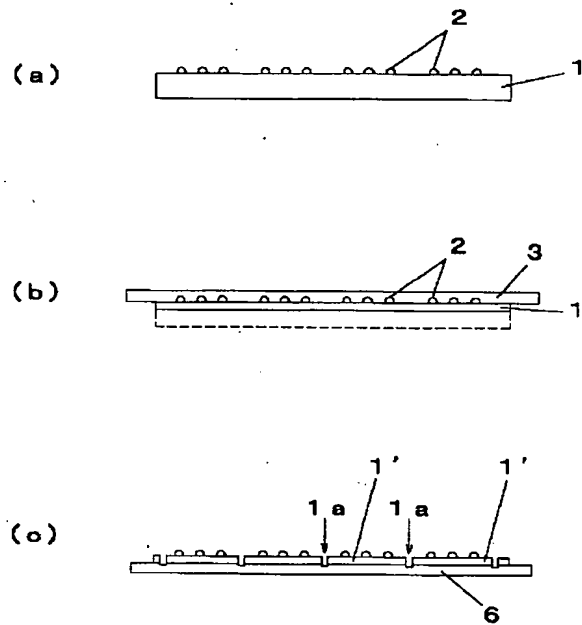
【図5】



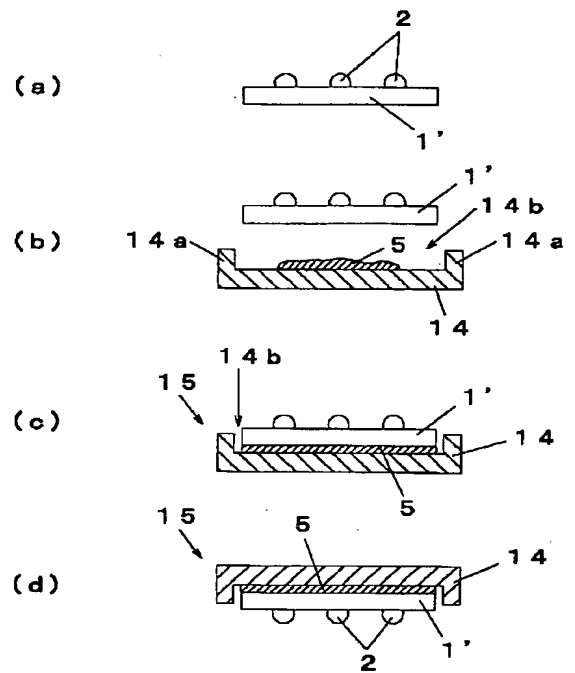
【図6】



【図7】

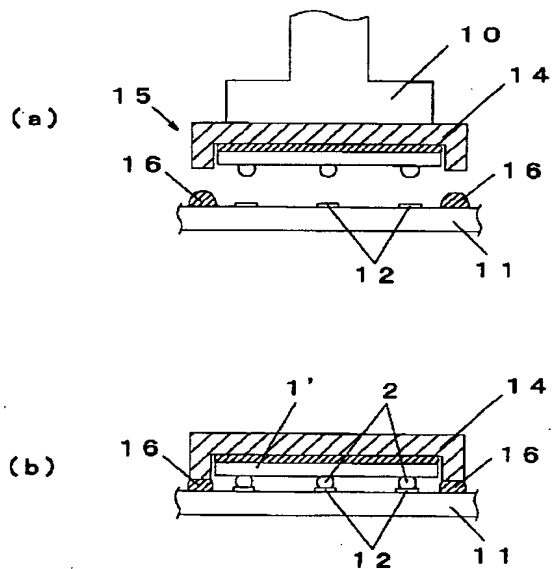


【図8】



14 パンパケース
15 半導体装置

【図9】



フロントページの続き

(72)発明者 前田 憲
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5F044 Q000

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.